



Patent

Customer No. 31561
Application No.: 10/605,084
Docket No. 9893-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/605,084
Filed : September 8, 2003
For : POLYSILICON THIN FILM TRANSISTOR AND
METHOD OF FORMING THE SAME
Examiner : Art unit: 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091122107, filed on: 2002/09/26.

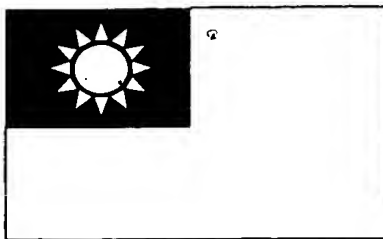
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Jan 8, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 26 日
Application Date

申請案號：091122107
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 19 日
Issue Date

發文字號：09220944420
Serial No.

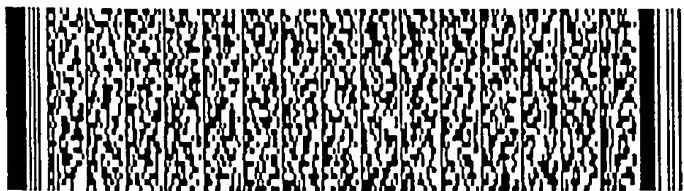
申請日期： 案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	多晶矽薄膜電晶體及其製造方法
	英 文	Poly-Silicon thin film transistor and method of forming the same
二、 發明人	姓 名 (中文)	1. 陳坤宏 2. 胡晉瑋
	姓 名 (英文)	1. Kun-Hong Chen 2. Chinwei Hu
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台北縣淡水鎮新春街81號8樓 2. 新竹縣竹東鎮竹中路87巷1弄39號
三、 申請人	姓 名 (名稱) (中文)	1. 友達光電股份有限公司
	姓 名 (名稱) (英文)	1. Au Optronics Corporation
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區新竹市力行二路一號
	代表人 姓 名 (中文)	1. 李焜耀
	代表人 姓 名 (英文)	1. Kun-Yao Lee

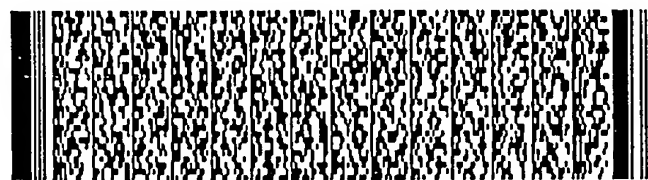
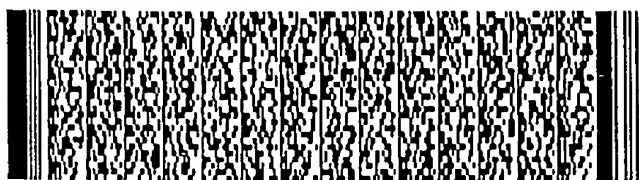


四、中文發明摘要 (發明之名稱：多晶矽薄膜電晶體及其製造方法)

一種多晶矽薄膜電晶體及其製造方法，係於一基板上形成一多晶矽層，再於多晶矽層上形成一閘極絕緣層。然後，於閘極絕緣層上形成一閘極。隨後，把閘極當作罩幕，對多晶矽層進行離子植入製程，以於多晶矽層中形成作為源/汲極區域的摻雜區。接著，在基板上依序形成一層氧化層與一層氮化矽層作為層間介電層，其中氧化層與氮化矽層在厚度上的關係為氧化層的厚度大於或等於(氮化矽層的厚度 $\times 9000 \text{ \AA}$)^{1/2}，其中氮化矽層的厚度小於 1000 \AA 。

英文發明摘要 (發明之名稱：Poly-Silicon thin film transistor and method of forming the same)

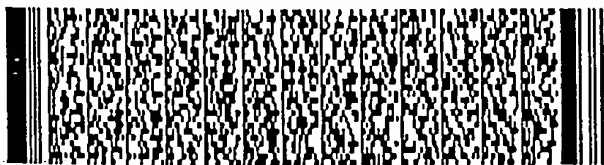
A poly-Silicon thin film transistor and a method of forming the same are provided. A poly-silicon layer is formed on a substrate. A gate insulating film is then formed on the poly-silicon layer. A gate is formed on the gate insulating film. An ion implantation is then performed to the poly-silicon layer by utilizing the gate as a mask, so as to form a doped region in the poly-silicon layer as source/drain region. Then, an oxide layer and a nitride silicon layer



四、中文發明摘要 (發明之名稱：多晶矽薄膜電晶體及其製造方法)

英文發明摘要 (發明之名稱：Poly-Silicon thin film transistor and method of forming the same)

are formed on the substrate orderly to be a inter-layer dielectric layer, wherein the thickness relation between the oxide layer and the nitride layer is that the thickness of the oxide layer is thicker than or the same as (the thickness of the nitride layer multiplied by 9000 \AA)^{1/2}, wherein the thickness of the nitride layer is less than 1000 \AA .



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

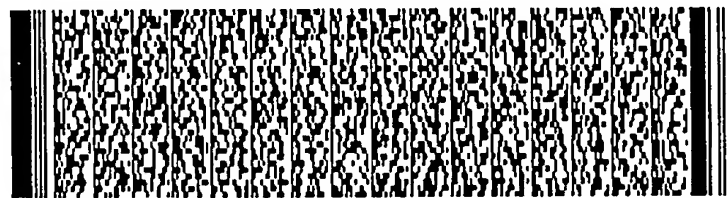
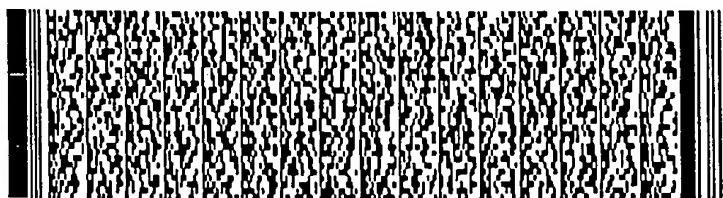
無

五、發明說明 (1)

本發明是有關於一種薄膜電晶體(thin film transistor, 簡稱TFT)及其製造方法, 特別是關於一種多晶矽薄膜電晶體及其製造方法。

隨著高科技之發展, 視訊產品, 特別是數位化之視訊或影像裝置已經成為在一般日常生活中所常見的產品。這些數位化之視訊或影像裝置中, 顯示器是一個重要元件, 以顯示相關資訊。使用者可由顯示器讀取資訊, 或進而控制裝置的運作。為了配合現代生活模式, 視訊或影像裝置之體積日漸趨於薄輕, 因此, 配合光電技術與半導體製造技術, 面板式的顯示器已被發展出成為目前常見之顯示器產品, 例如薄膜電晶體(liquid crystal display, 簡稱LCD)液晶顯示器。

而近來在薄膜電晶體液晶顯示器中有一種利用多晶矽技術所製得的薄膜電晶體, 其電子遷移率較一般傳統的非晶矽(amorphous silicon, 簡稱a-Si)薄膜電晶體技術所得之電子遷移率大得多, 因此可使薄膜電晶體元件做得更小, 開口率增加(aperture ratio)進而增加顯示器亮度, 減少功率消耗的功能。另外, 由於電子遷移率之增加可以將部份驅動電路隨同薄膜電晶體製程同時製造於玻璃基板上, 大幅提升液晶顯示面板的特性及可靠度, 使得面板製造成本大幅降低, 因此製造成本較非晶矽薄膜電晶體液晶顯示器低出許多。再加上多晶矽具有厚度薄、重量輕、解析度佳等特點, 特別適合應用於要求輕巧省電的行動終端產品上。

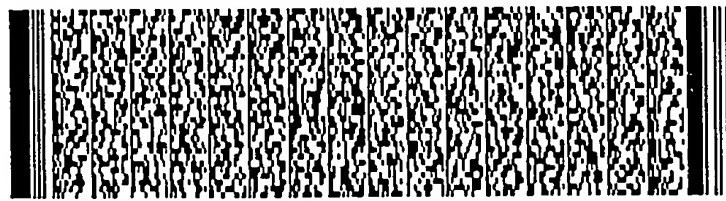
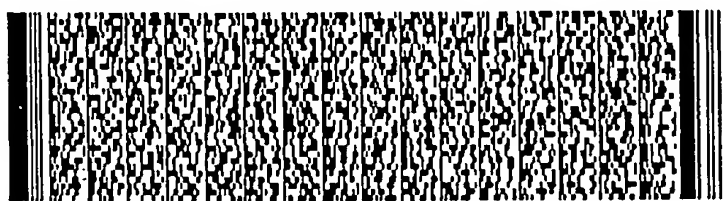


五、發明說明 (2)

多晶矽薄膜電晶體早期製程是採用固相結晶(solid phase crystallization, 簡稱SPC)製程, 但高達攝氏1000度的高溫製程下, 必需採用熔點較高的石英基板, 由於石英基板成本比玻璃基板貴上許多, 且在基板尺寸的限制下, 面板大約僅有2至3吋, 因此過去只能發展小型面板。之後, 由於雷射的發展, 以雷射結晶化(laser crystallization)或準分子雷射退火(excimer laser annealing, 簡稱ELA)製程來使非晶矽薄膜成為多晶矽薄膜, 並使用雷射對非晶矽膜進行掃描使其重新結晶成為多晶矽模式, 在溫度攝氏600度以下完成全部製程, 所以一般非晶矽薄膜電晶體液晶顯示器所用玻璃基板能被採用, 才得以製作出較大尺寸面板, 也因此依據這種技術形成的多晶矽又稱為低溫多晶矽((low temperature poly-Silicon, 簡稱LTPS)。

第1A圖至第1C圖是習知一種多晶矽薄膜電晶體的製造流程剖面示意圖。

首先請參照第1A圖, 在一基板100上形成一島狀多多晶矽(poly-island)層102。接著, 在島狀多晶矽層102上覆蓋一層閘極絕緣層(gate insulating film)104。然而, 由於島狀多晶矽層102是利用雷射結晶化或準分子雷射退火製程, 將非晶矽材質再結晶成為多晶矽材質, 所以此時的島狀多晶矽層102中往往存在有為數不少的結晶缺陷(crystalline defect), 而這種缺陷常使電子在其中移動時發生陷入(trap)的問題。



五、發明說明 (3)

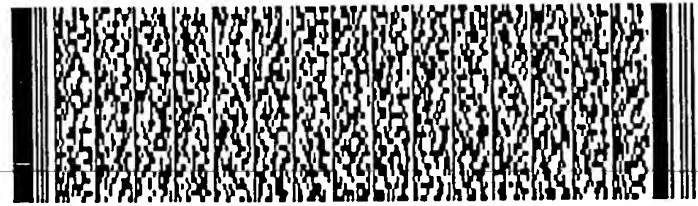
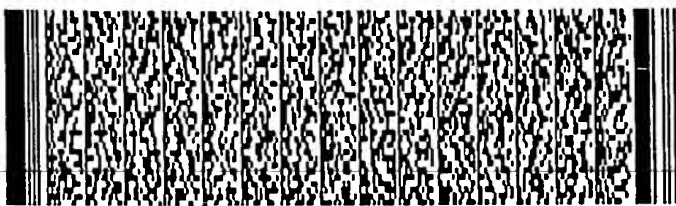
之後，請參照第1B圖，於閘極絕緣層104上形成一閘極106，其中閘極106位於島狀多晶矽層102預定形成通道區域(channel region)的正上方。隨後，以閘極106作為罩幕，進行一離子植入步驟108，以於閘極106未覆蓋的部分島狀多晶矽層102中形成作為源/汲極的摻雜區域(source/drain region)102a。

接著，請參照第1C圖，為解決島狀多晶矽層102中的結晶缺陷，目前採用的方法是在上述各層上形成一層富含氫的氧化矽層(silicon oxide layer)110，再進行一道回火製程(anneal process)，以使氧化層110中的氫原子被埋入島狀多晶矽層102的結晶缺陷內，同時這層氧化層110亦可作為元件中的層間氧化層(inter-layer oxide)。然而，習知的多晶矽薄膜電晶體在電性(electrical characteristic)上卻無法獲得較佳的效能。

因此，本發明之目的是提供一種多晶矽薄膜電晶體及其製造方法，以增進多晶矽薄膜電晶體的電性。

本發明之另一目的是提供一種多晶矽薄膜電晶體及其製造方法，以降低N型薄膜電晶體(又稱N-TFT)與P型薄膜電晶體(P-TFT)之啟始電壓(threshold voltage，又稱 V_t)，以及增加其遷移率(mobility)。

根據上述與其它目的，本發明提出一種多晶矽薄膜電晶體，係由一島狀多晶矽層、一閘極、一閘極絕緣層以及含有一氧化層與一氮化矽層的層間介電層所組成。而上述各層之配置係閘極位於島狀多晶矽層上，閘極絕緣層位於



五、發明說明 (4)

閘極與島狀多晶矽層之間，而層間介電層的氧化層覆蓋於閘極與閘極絕緣層上，以及層間介電層的氮化矽層位於氧化層上，其中氧化層與氮化矽層在厚度上的關係如下所示之方程式：

$$T_{\text{ox}} \geq (T_{\text{nitride}} \times 9000 \text{ \AA})^{1/2}$$

其中， T_{ox} 代表氧化層的厚度； T_{nitride} 代表氮化矽層的厚度，而且 $50 \text{ \AA} < T_{\text{nitride}} < 1000 \text{ \AA}$ 。

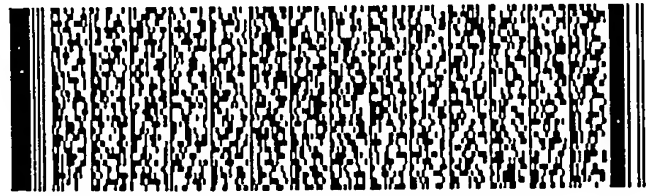
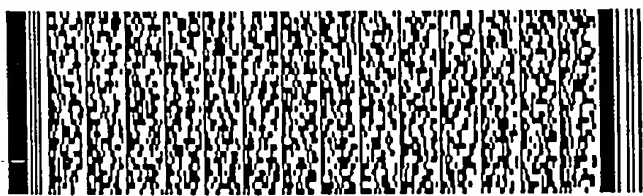
本發明另外提出一種多晶矽薄膜電晶體的製造方法，包括於一基板上形成一島狀多晶矽層，再於島狀多晶矽層上形成一層閘極絕緣層。然後，於位於島狀多晶矽層預定形成通道區域的閘極絕緣層上形成一閘極。隨後，把閘極當作罩幕，對島狀多晶矽層進行一離子植入製程，以於除了預定形成通道區域外的部分島狀多晶矽層中形成作為源/汲極區域的摻雜區。接著，在基板上依序形成一層氧化層與一層氮化矽層作為層間介電層，其中氧化層與氮化矽層在厚度上的關係如下所示之方程式：

$$T_{\text{ox}} \geq (T_{\text{nitride}} \times 9000 \text{ \AA})^{1/2}$$

其中， T_{ox} 代表氧化層的厚度； T_{nitride} 代表氮化矽層的厚度，而且 $50 \text{ \AA} < T_{\text{nitride}} < 1000 \text{ \AA}$ 。

本發明因為採用由氧化層與氮化矽層組合成的層間介電層，並且控制兩者之間的厚度，以增進多晶矽薄膜電晶體的電性。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細



五、發明說明 (5)

說明如下：

圖式之標號說明：

100，200，300：基板

102，202，302：島狀多晶矽層

102a，202b，302b：源/汲極區域

104，204，304：閘極絕緣層

106，206，306：閘極

108，208：離子植入製程

110：富含氫氧化層

202a，302a：通道區域

202c，302c：淺摻雜汲極區域

210，310：氧化層

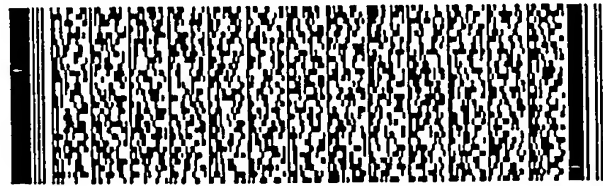
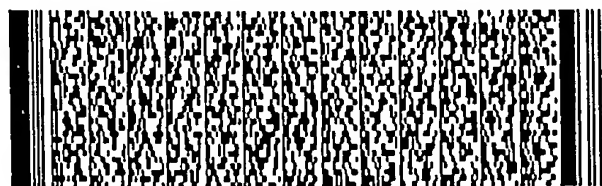
212，312：氮化矽層

214，314：層間介電層

308：源/汲極離子植入製程

實施例

第2圖是依照本發明之一較佳實施例之多晶矽薄膜電晶體(thin film transistor，簡稱TFT)的剖面示意圖，請參照第2圖，本實施例中的多晶矽薄膜電晶體，係由位於基板200上的一島狀多晶矽層202、一閘極206、一閘極絕緣層(gate insulating film)204以及含有一氧化層(oxide layer)210與一氮化矽層(nitride layer)212的層間介電層(inter-layer dielectric，簡稱ILD)214所組成，其中島狀多晶矽層202包括位於閘極206下的一通道區



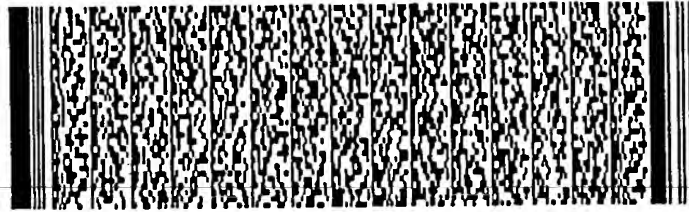
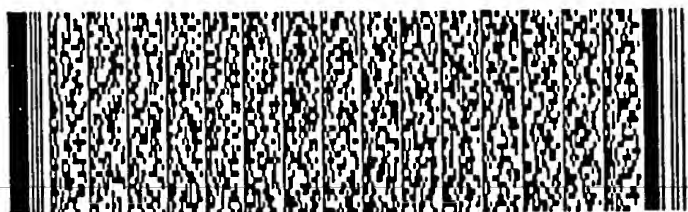
五、發明說明 (6)

域(channel region)202a與位於通道區域202a兩側的源/汲極區域(source/drain region)202b。另外，當多晶矽薄膜電晶體是N型薄膜電晶體時，可以於通道區域202a與源/汲極區域202b之間配置一淺摻雜汲極區域(lightly doped drain，簡稱LDD)202c；而上述各層之配置關係是閘極206位於島狀多晶矽層202之通道區域202a上，閘極絕緣層204位於閘極206與島狀多晶矽層202之間，而層間介電層214的氧化層210覆蓋於閘極206與閘極絕緣層204上，以及層間介電層214的氮化矽層212位於氧化層210上，其中氧化層210與氮化矽層212在厚度上的關係如下所示之方程式：

$$T_{ox} \geq (T_{nitride} \times 9000 \text{ \AA})^{1/2}$$

其中， T_{ox} 代表氧化層210的厚度； $T_{nitride}$ 代表氮化矽層212的厚度，而且 $50 \text{ \AA} < T_{nitride} < 1000 \text{ \AA}$ 。

第3A圖至第3C圖則是依照第2圖所繪示之多晶矽薄膜電晶體的製造流程剖面示意圖，請參照第3A圖，在基板300上形成一島狀多晶矽層302，其製程例如是先基板300上形成一層非晶矽層，然後以雷射結晶化(laser crystallization)或準分子雷射退火(excimer laser annealing，簡稱ELA)製程來使非晶矽層經由熔融使其再結晶成為多晶矽，以在溫度攝氏600度以下完成全部多晶矽化製程，而後再進行一微影蝕刻製程，以形成如本圖中之島狀多晶矽層302。此外，還可以包括進行一通道離子植入步驟，以使島狀多晶矽層302中具有摻雜離子，而且



五、發明說明 (7)

依照摻雜離子的種類不同，可形成N型或P型摻雜區。接著，於島狀多晶矽層302上形成一層閘極絕緣層304，其製程譬如電漿增強化學氣相沉積法(PECVD)。

之後，請參照第3B圖，於島狀多晶矽層302預定形成通道區域302a的閘極絕緣層304上形成一閘極306。隨後，把閘極306當作罩幕，對島狀多晶矽層302進行一源/汲極離子植入製程308，以於除了預定形成通道區域302a外的部分島狀多晶矽層302中形成作為源/汲極區域302b的摻雜區，其中源/汲極離子植入製程308例如是以適當能量的離子佈植，如砷、磷、硼等離子作摻雜離子，以在閘極306兩側下方之部分島狀多晶矽層302中形成P⁺-型或N⁺-型源/汲極。此外，還可以在源/汲極區域302b與通道區域302a之間形成一淺摻雜汲極區域(LDD)302c。

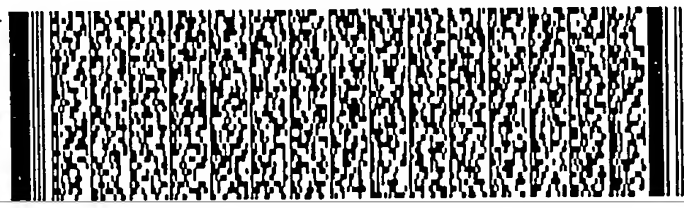
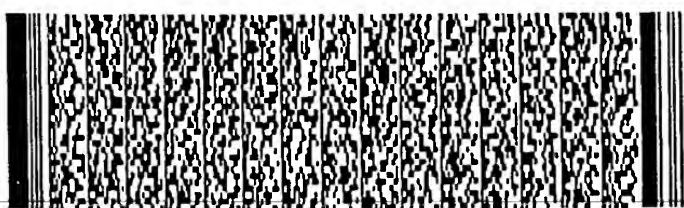
然後，請參照第3C圖，在基板300上依序形成一層氧化層310與一層氮化矽層312覆蓋於閘極306與閘極絕緣層304上作為層間介電層314，其中氧化層310與氮化矽層312在厚度上的關係如下所示之方程式：

$$T_{ox} \geq (T_{nitride} \times 9000 \text{ \AA})^{1/2}$$

其中， T_{ox} 代表氧化層310的厚度； $T_{nitride}$ 代表氮化矽層312的厚度，而且 $50 \text{ \AA} < T_{nitride} < 1000 \text{ \AA}$ 。

另外，為證實本發明之多晶矽薄膜電晶體在電性(electrical characteristic)上較習知更佳，請參照第4圖與第5圖所示。

第4圖與第5圖所示分別是依照本發明之N型多晶矽薄



五、發明說明 (8)

膜電晶體(又稱N-TFT)與P型多晶矽薄膜電晶體(又稱P-TFT)隨其氮化矽層的厚度變化而改變的啟始電壓(threshold voltage, 又稱 V_t)以及遷移率(mobility)之曲線圖。從第4圖與第5圖可知,當未增加氮化矽層時(即氮化矽厚度為0);也就是說,習知的N型薄膜電晶體之啟始電壓約為5伏特、P型薄膜電晶體的啟始電壓約為-6.5伏特,以及習知的N型薄膜電晶體之遷移率約為60 $\text{cm}^2/\text{V}\cdot\text{sec}$ 、P型薄膜電晶體的遷移率則約80 $\text{cm}^2/\text{V}\cdot\text{sec}$ 。

但是依照本發明去增加氮化矽層後,可從第4圖與第5圖觀察出隨著氮化矽厚度不斷增加,N型與P型多晶矽薄膜電晶體之啟始電壓($|V_t|$)也將隨之降低,而遷移率則會隨之增加。

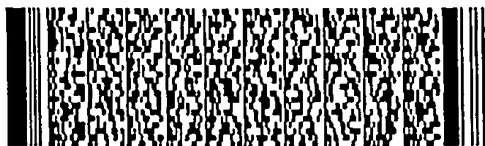
同時,從第4圖與第5圖亦可觀察到,當氮化矽厚度大於50 Å之後可觀察出薄膜電晶體的電性被明顯改善,而且當氮化矽層的厚度接近1000 Å時,無論是N型或P型多晶矽薄膜電晶體的啟始電壓與遷移率都逐漸保持定值且變化不大。因此,在考量整體元件大小下,氮化矽層的厚度最好保持在1000 Å以內,使得本發明之多晶矽薄膜電晶體在增進電性的情形下,同時不違背元件尺寸縮小的趨勢。

如上所述,本發明的特徵在於採用由氧化層與氮化矽層所組成的層間介電層,並且控制氧化層與氮化矽層之間的厚度,以增進多晶矽薄膜電晶體的電性。

雖然本發明已以較佳實施例揭露如上,然其並非用以限定本發明,任何熟習此技藝者,在不脫離本發明之精神

五、發明說明 (9)

和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



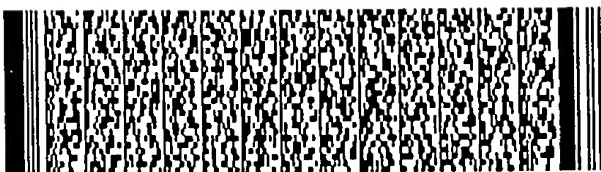
圖式簡單說明

第1A圖至第1C圖是習知一種多晶矽薄膜電晶體的製造流程剖面示意圖；

第2圖是依照本發明之一較佳實施例之多晶矽薄膜電晶體的剖面示意圖；

第3A圖至第3C圖則是依照第2圖所繪示之多晶矽薄膜電晶體的製造流程剖面示意圖；以及

第4圖與第5圖所示分別是依照本發明之N型與P型多晶矽薄膜電晶體隨其氮化矽層的厚度變化而改變的啟始電壓以及遷移率之曲線圖。



六、申請專利範圍

1. 一種多晶矽薄膜電晶體，包括：

- 一島狀多晶矽層；
- 一閘極，位於該島狀多晶矽層上；
- 一閘極絕緣層，位於該閘極與該島狀多晶矽層之間；

以及

一層間介電層，該層間介電層具有一氧化層與一氮化矽層，其中該氧化層覆蓋於該閘極與該閘極絕緣層上；以及該氮化矽層位於該氧化層上，其中該氧化層與該氮化矽層在厚度上的關係為：

$T_{ox} \geq (T_{nitride} \times 9000 \text{ \AA})^{1/2}$ ，其中 T_{ox} 代表該氧化層的厚度； $T_{nitride}$ 代表該氮化矽層的厚度，而且該氮化矽層的厚度大於 50 \AA 以及小於 1000 \AA 。

2. 如申請專利範圍第1項所述之多晶矽薄膜電晶體，其中該島狀多晶矽層包括：

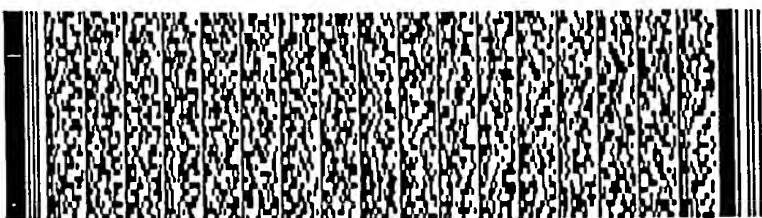
- 一通道區域，位於該閘極下；以及
- 一源/汲極區域，位於該通道區域兩側。

3. 如申請專利範圍第2項所述之多晶矽薄膜電晶體，其中更包括一淺摻雜汲極區域，位於該通道區域與該源/汲極區域之間。

4. 一種多晶矽薄膜電晶體的製造方法，包括：

- 於一基板上形成一島狀多晶矽層；
- 於該島狀多晶矽層上形成一閘極絕緣層；

於位於該島狀多晶矽層預定形成一通道區域的該閘極絕緣層上形成一閘極；



六、申請專利範圍

對該島狀多晶矽層進行一離子植入製程，係將該閘極當作罩幕，以於除了預定形成該通道區域外的部分該島狀多晶矽層中形成一源/汲極區域；以及

在該基板上依序形成一氧化層與一氮化矽層，以覆蓋該閘極與該閘極絕緣層，其中該氧化層與該氮化矽層在厚度上的關係為 $T_{ox} \geq (T_{nitride} \times 9000 \text{ \AA})^{1/2}$ ，其中 T_{ox} 代表該氧化層的厚度； $T_{nitride}$ 代表該氮化矽層的厚度，而且該氮化矽層的厚度大於 50 \AA 並小於 1000 \AA 。

5. 如申請專利範圍第4項所述之多晶矽薄膜電晶體的製造方法，其中於該基板上形成該島狀多晶矽層之步驟包括：

在該基板上形成一非晶矽層；

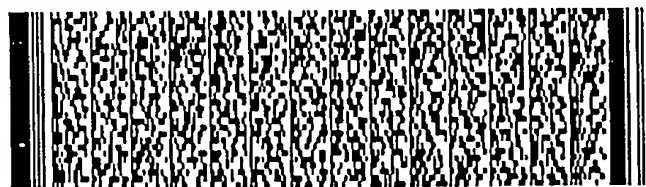
進行雷射結晶化製程與準分子雷射退火製程其中之一，以熔融該非晶矽層使其再結晶成為多晶矽材質；以及

進行一微影蝕刻製程，以形成該島狀多晶矽層。

6. 如申請專利範圍第4項所述之多晶矽薄膜電晶體的製造方法，其中於該基板上形成該島狀多晶矽層之後，更包括進行一通道離子植入步驟，以使該島狀多晶矽層中具有摻雜離子。

7. 如申請專利範圍第4項所述之多晶矽薄膜電晶體的製造方法，其中於該島狀多晶矽層上形成該閘極絕緣層之步驟包括電漿增強化學氣相沉積法。

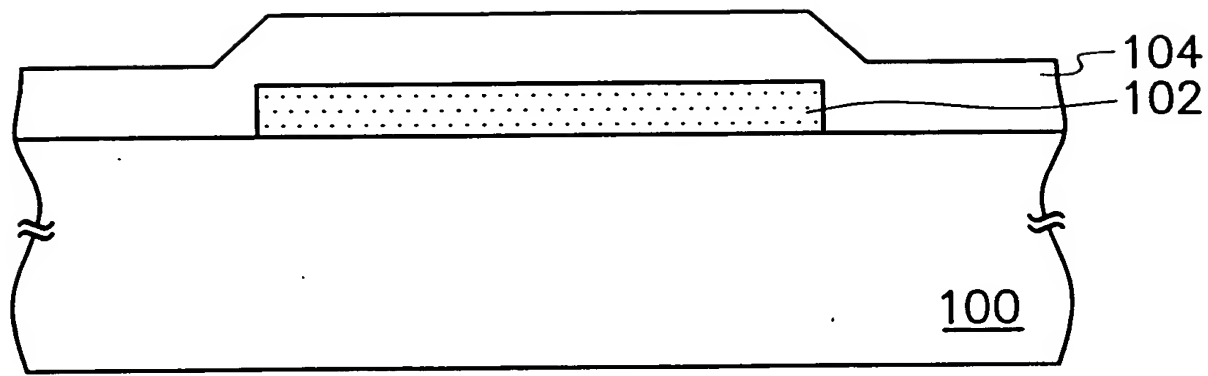
8. 如申請專利範圍第4項所述之多晶矽薄膜電晶體的製造方法，其中更包括在該源/汲極區域與該通道區域之間



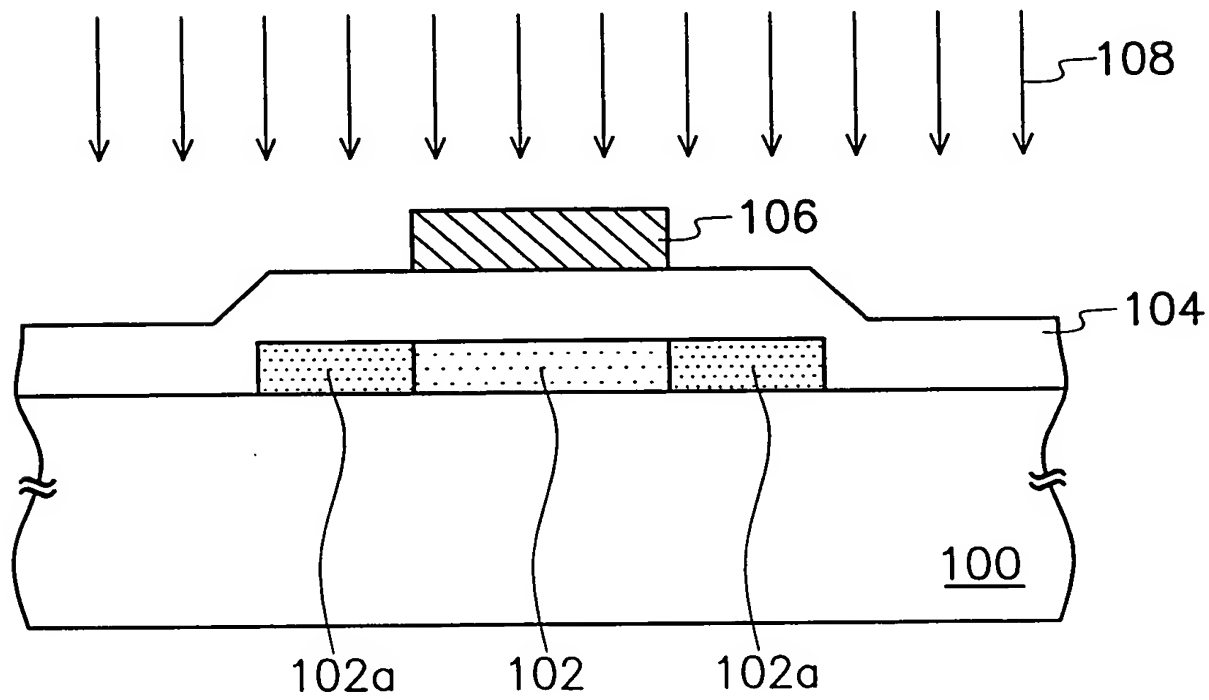
六、申請專利範圍

形成一淺摻雜汲極區域。

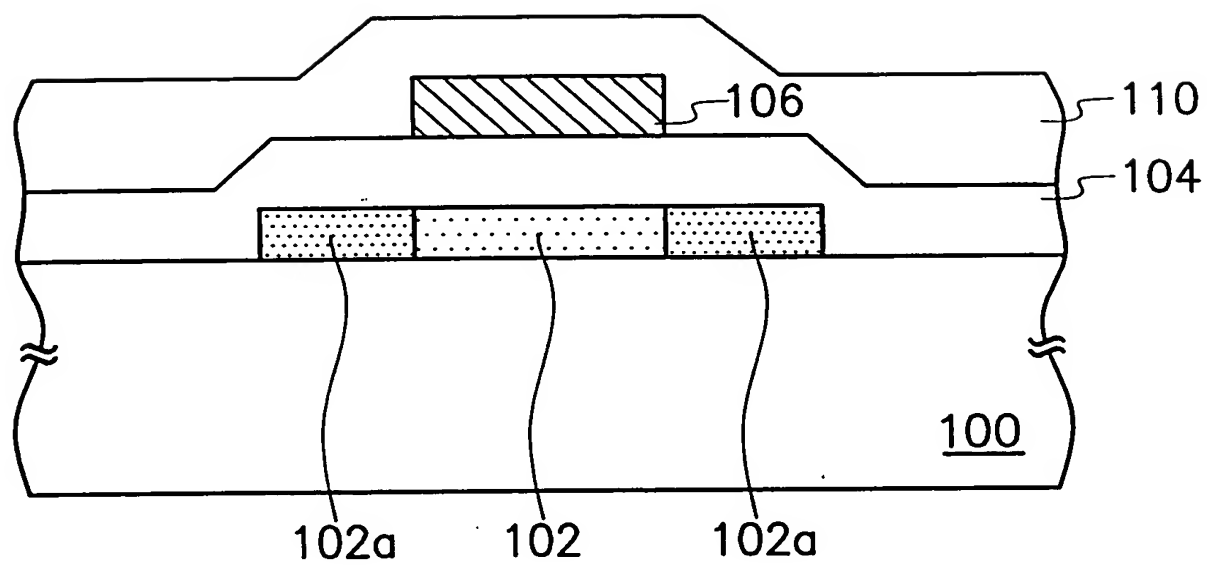




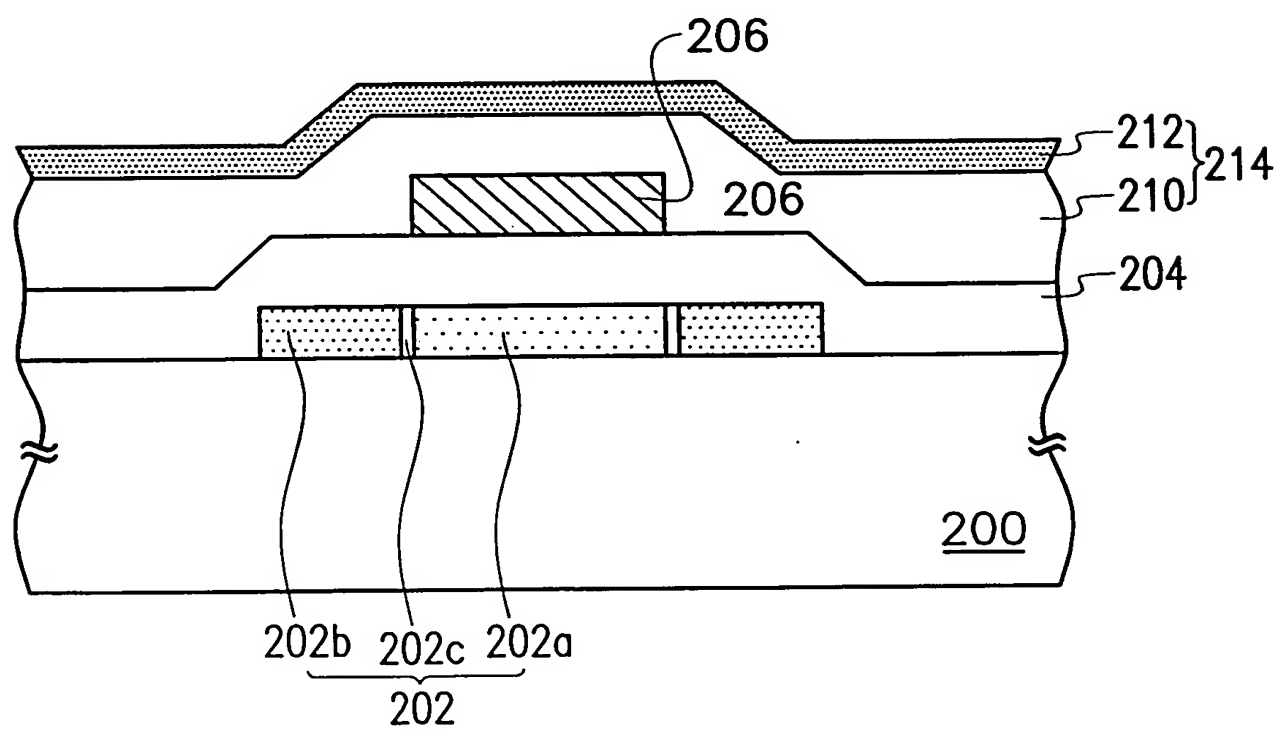
第 1A 圖



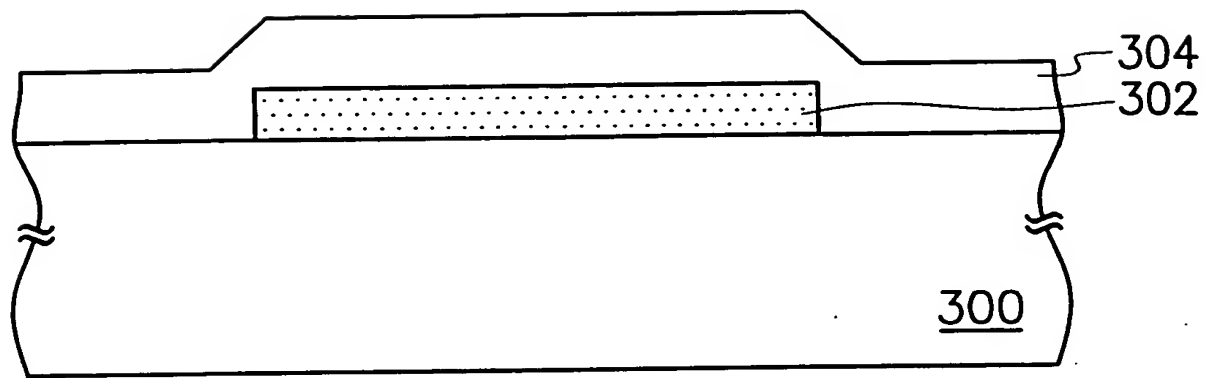
第 1B 圖



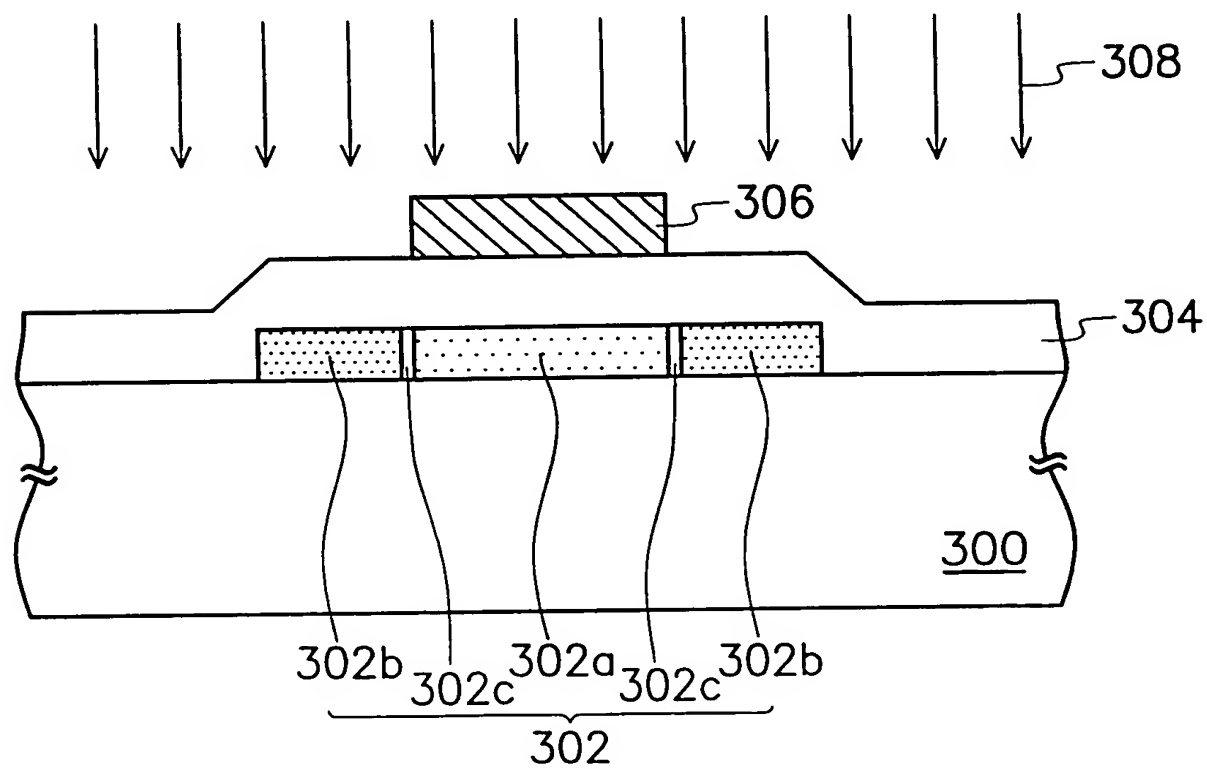
第 1C 圖



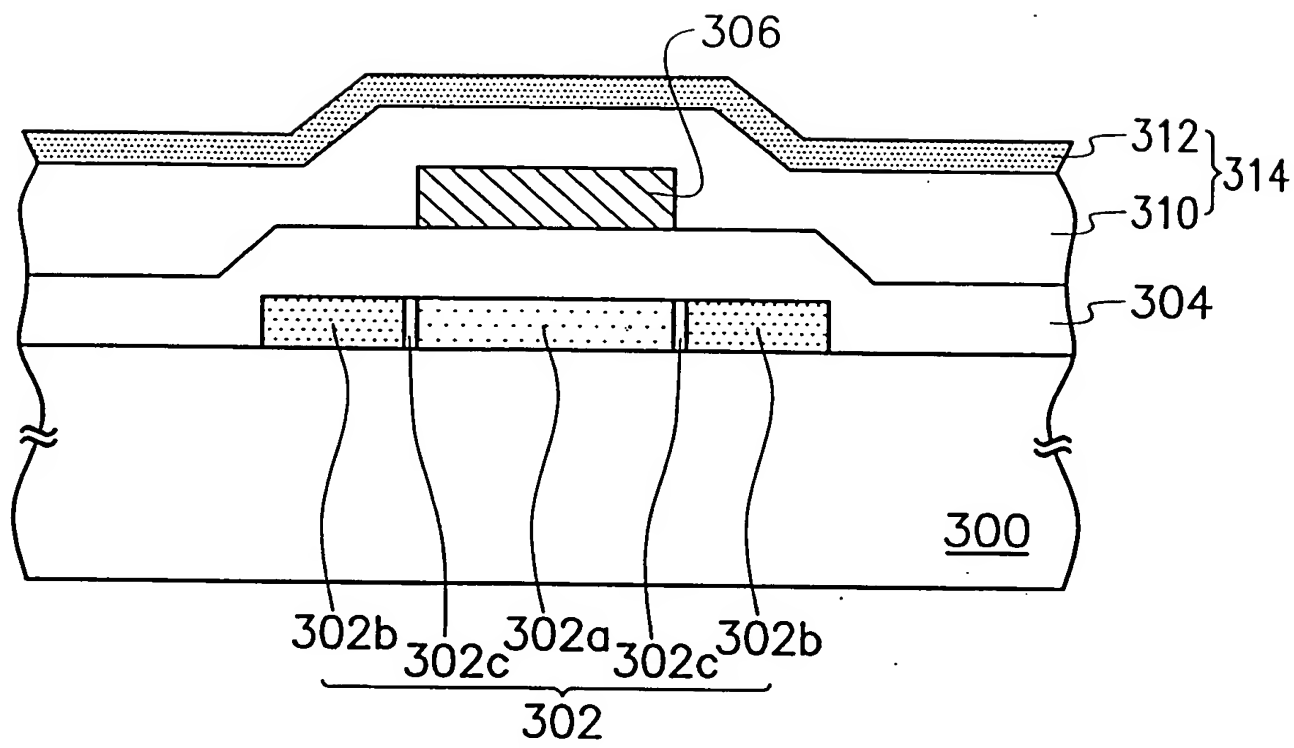
第 2 圖



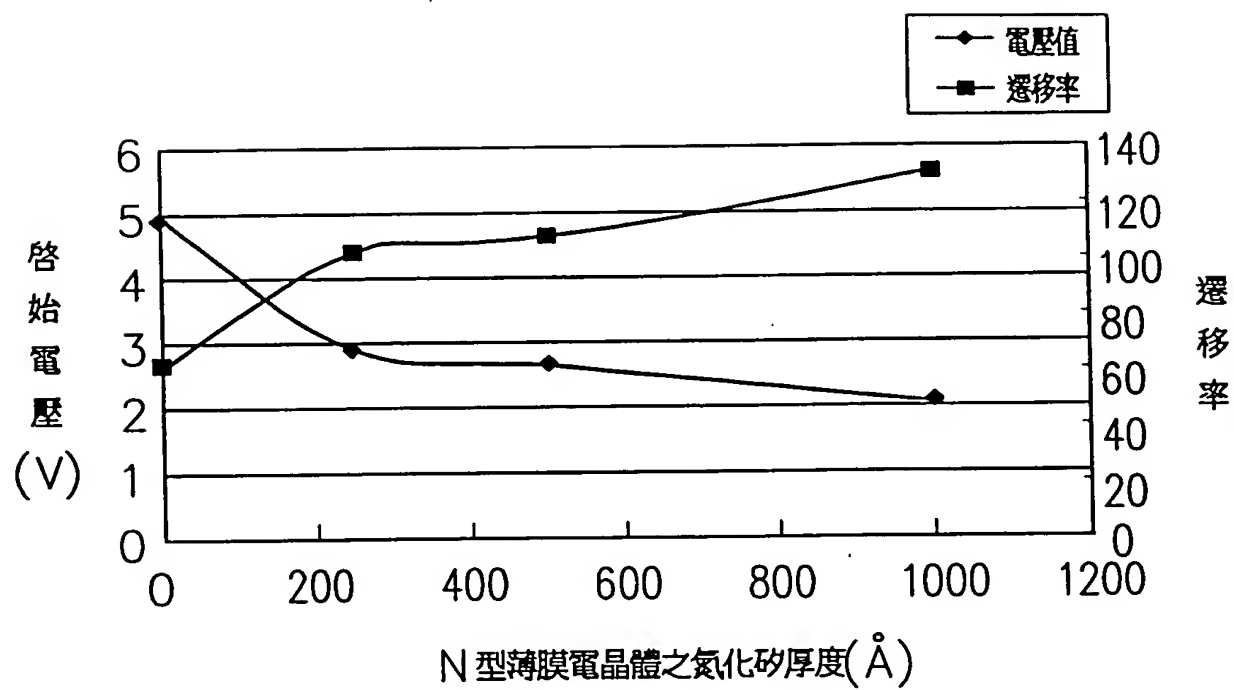
第 3A 圖



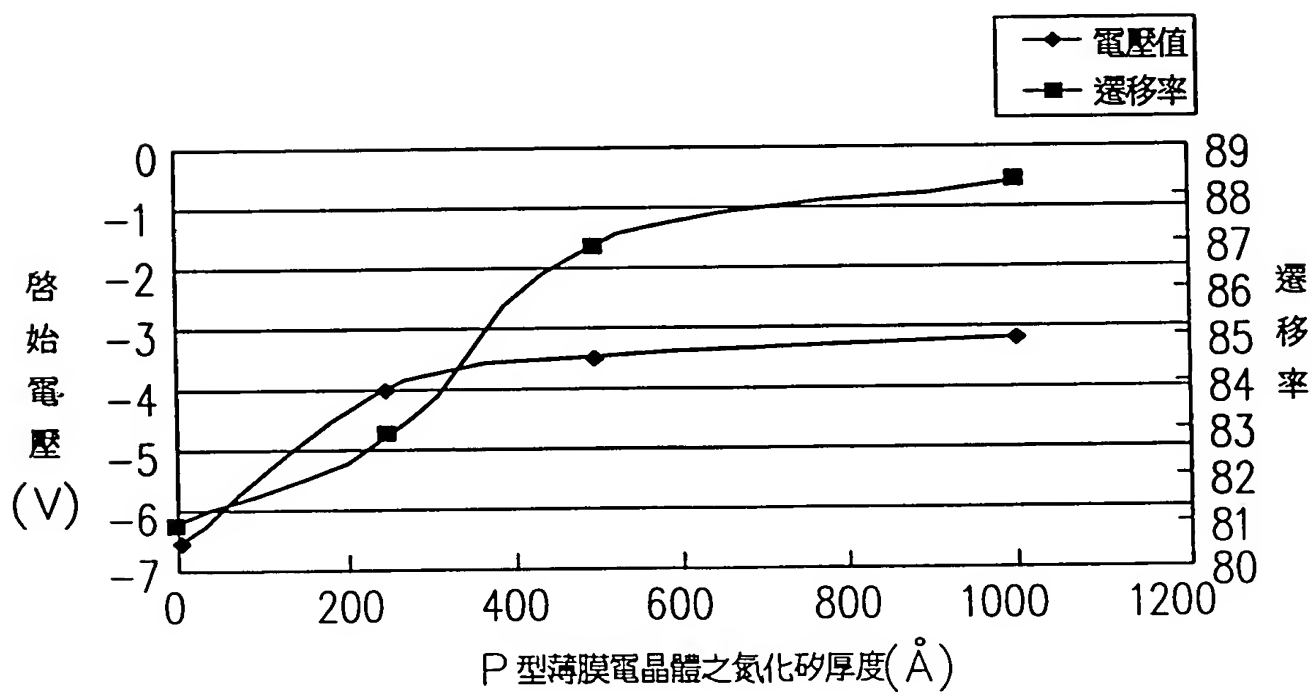
第 3B 圖




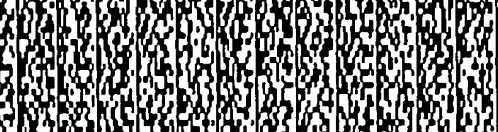
第3C圖




第 4 圖



第 5 圖






1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525

100

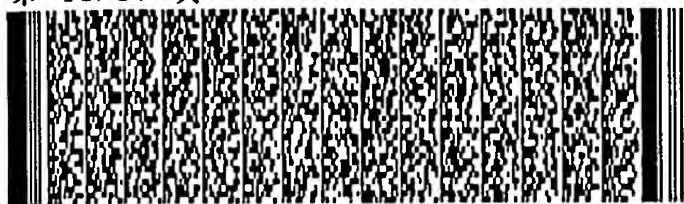


100

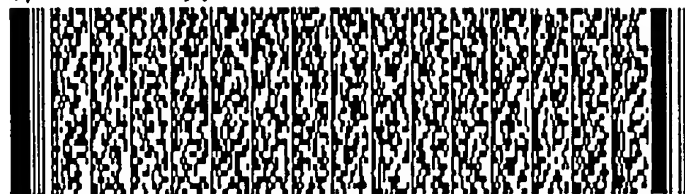


100

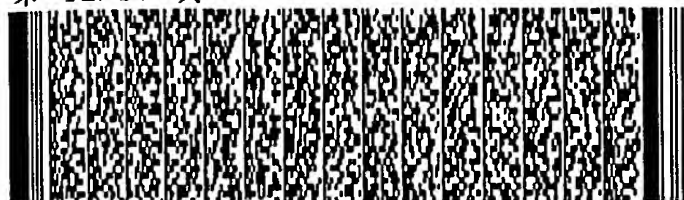
第 11/17 頁



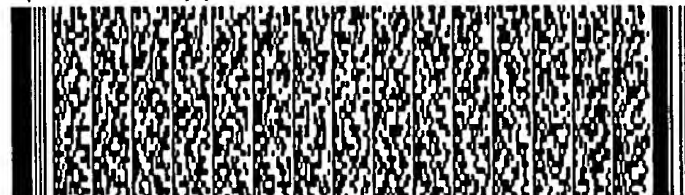
第 11/17 頁



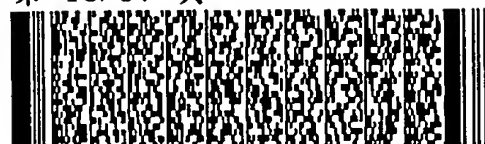
第 12/17 頁



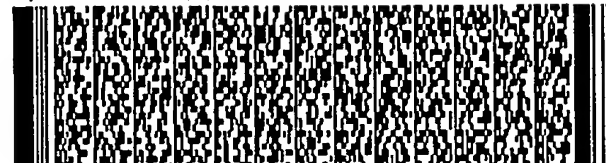
第 12/17 頁



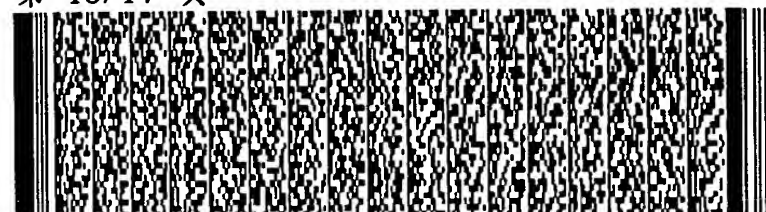
第 13/17 頁



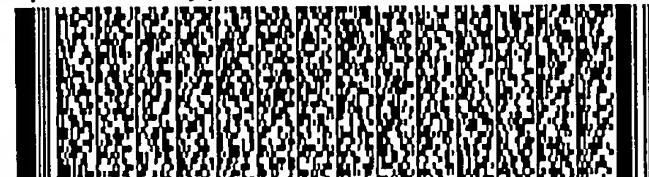
第 14/17 頁



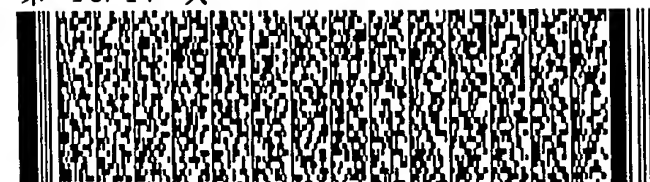
第 15/17 頁



第 16/17 頁



第 16/17 頁



第 17/17 頁

